

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-298292
(43)Date of publication of application : 29.10.1999

(51)Int.Cl.

H03H 11/04
H04B 1/40

(21)Application number : 10-098627
(22)Date of filing : 10.04.1998

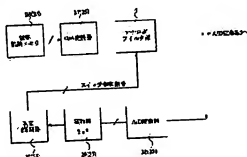
(71)Applicant : HITACHI LTD
(72)Inventor : KOBAYASHI YOICHIRO

(54) CUTOFF FREQUENCY CONTROL METHOD FOR ANALOG FILTER AND SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To improve the production efficiency of a semiconductor integrated circuit device while unnecessary trimming of a probe check by automatically controlling a cutoff frequency with high accuracy.

SOLUTION: When the power source of electronic equipment is turned on and a training mode is started, digital sine waveform data outputted from a waveform storage memory 26 are converted into analog waveforms by a D/A converter 27 and inputted to an analog filter part 4 with its cutoff frequency set to the minimum by a discrimination control circuit 30. The output signal of the analog filter part 4 is converted into digital waveforms again by an A/D converter 28 and an effective value is calculated by a sum adder 29. Based on that effective value and a conversion table, the discrimination control circuit 30 varies the electrostatic capacitance value of the analog filter part 4 so as to optimize the cutoff frequency.



LEGAL STATUS

[Date of request for examination]
[Date of sending the examiner's decision of rejection]
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
[Date of final disposal for application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

Copyright (C): 1998,2003 Japan Patent Office

(51) Int.Cl.⁶

識別記号

F I

H 0 3 H 11/04

H

H 0 3 H 11/04

H 0 4 B 1/40

H 0 4 B 1/40

審査請求 未請求 請求項の数 5 O L (全 16 頁)

(21) 出願番号 特願平10-98627

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(22) 出願日 平成10年(1998)4月10日

(72) 発明者 小林 洋一郎

東京都青葉市新町六丁目16番地の3 株式

会社日立製作所デバイス開発センタ内

(74) 代理人 弁理士 筒井 大和

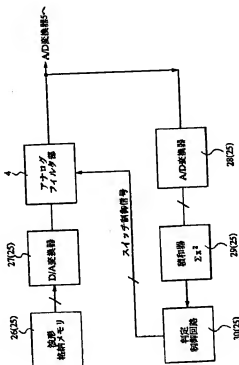
(54) 【発明の名称】 アナログフィルタのカットオフ周波数調整方法および半導体集積回路装置

(57) 【要約】

【課題】 高精度にカットオフ周波数を自動的に調整することにより、プローブ検査のトリミングを不要とし、半導体集積回路装置の製造効率を向上させる。

【解決手段】 電子機器の電源がONされ、トレーニングモードが開始されると、波形格納メモリ26から出力されたデジタルの正弦波データを経典変換器27によってアナログ波形に変換し、判定制御回路30によってカットオフ周波数が最低に設定されたアナログフィルタ部4に入力する。アナログフィルタ部4の出力信号をA/D変換器28によって再びデジタル波形に変換し、積和器29により実効値を算出する。判定制御回路30は、その実効値と変換テーブルとに基づいてカットオフ周波数が最適となるようにアナログフィルタ部4の静電容量値を可変する。

図 2



【特許請求の範囲】

【請求項 1】 半導体集積回路装置に設けられた抵抗、静電容量素子ならびに能動素子からなるアナログフィルタのカットオフ周波数調整方法であって、調整用の正弦波デジタル信号をアナログ信号に変換する工程と、前記アナログフィルタの静電容量値を最大に可変し、前記アナログフィルタのカットオフ周波数を最低に設定する工程と、

静電容量値が最大にされた前記アナログフィルタに変換されたアナログ信号を入力し、前記アナログフィルタから出力されたアナログ信号をデジタル信号に変換する工程と、

変換されたデジタル信号の実効値を算出する工程と、その実効値から変換テーブルに基づいて前記アナログフィルタの減衰量を検知し、静電容量値を可変させ、前記アナログフィルタのカットオフ周波数を調整する工程とを有することを特徴とするカットオフ周波数調整方法。

【請求項 2】 半導体集積回路装置に設けられた抵抗、静電容量素子ならびに能動素子からなるアナログフィルタのカットオフ周波数調整方法であって、調整用の正弦波デジタル信号をアナログ信号に変換する工程と、前記アナログフィルタの静電容量値を最大に可変し、前記アナログフィルタのカットオフ周波数を最低に設定する工程と、

静電容量値が最大にされた前記アナログフィルタに変換されたアナログ信号を入力し、前記アナログフィルタから出力されたアナログ信号をデジタル信号に変換する工程と、

変換されたデジタル信号の実効値を算出する工程と、その実効値と予め設定された基準実効値との比較を行い、算出された実効値が基準実効値よりも大きくなるまで段階的に静電容量値を可変させ、前記アナログフィルタのカットオフ周波数を調整する工程とを有することを特徴とするカットオフ周波数調整方法。

【請求項 3】 抵抗、静電容量素子ならびに能動素子からなるアナログフィルタが設けられた半導体集積回路装置であって、前記アナログフィルタのカットオフ周波数を自動的に調整するカットオフ周波数調整手段を備えたことを特徴とする半導体集積回路装置。

【請求項 4】 請求項 3 記載の半導体集積回路装置において、

前記カットオフ周波数調整手段が、カットオフ周波数調整用の正弦波デジタル信号が格納された正弦波格納部と、

前記正弦波格納部から出力された正弦波デジタル信号をアナログ信号に変換し、前記アナログフィルタに出力する第 1 の信号変換部と、

前記アナログフィルタから出力されたアナログ信号をデ

ジタル信号に変換する第 2 の信号変換部と、

前記第 2 の信号変換部に変換されたデジタル信号の実効値を算出する実効値演算部と、

前記実効値演算部によって算出された実効値から変換テーブルに基づいて前記アナログフィルタの減衰量を検知し、それに見合った制御信号を生成する判定制御部と、前記判定制御部から出力された制御信号に基づいて、前記アナログフィルタの静電容量値を可変し、カットオフ周波数を可変させる静電容量可変部とよりなることを特徴とする半導体集積回路装置。

【請求項 5】 請求項 4 記載の半導体集積回路装置において、前記静電容量可変部が、アナログフィルタのカットオフ周波数を可変する複数の静電容量素子と、前記複数の静電容量素子のそれぞれに設けられ、前記判定制御部の制御信号によって動作制御が行われる導通制御スイッチとよりなることを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、アナログフィルタのカットオフ周波数調整方法および半導体集積回路装置に関し、特に、アナログフィルタにおけるカットオフ周波数の自動調整に適用して有効な技術に関するものである。

【0002】

【従来の技術】 本発明者が検討したところによれば、たとえば、移動体通信用ベースバンドの半導体集積回路装置には、特定の周波数を減衰させるアナログフィルタが備えられており、このアナログフィルタとしては、アクティブ RC フィルタがあり、抵抗、静電容量素子および演算増幅器などの能動素子によって構成されている。

【0003】 なお、この種のフィルタについて詳しく述べてある例としては、平成 5 年 7 月 10 日、株式会社オーム社発行、高木 昇（著）、「電子工芸がクエックブック」P3-36～P3-41 があり、この文献には、各種フィルタの構成などが記載されている。

【0004】

【発明が解決しようとする課題】 ところが、上記のような半導体集積回路装置に設けられたアナログフィルタでは、次のような問題点があることが本発明者により見

出された。【0005】 アナログフィルタは、高精度のカットオフ周波数が必要とされるが、半導体集積回路装置の製造ばらつきによってアナログフィルタのカットオフ周波数が設計値からずれてしまう。

【0006】 そのため、半導体集積回路装置のプロブ検査時において、ヒューズのトリミングにより静電容量値の調整を行い、個々の半導体集積回路装置のアナログフィルタにおけるカットオフ周波数の調整を行っているが、このトリミングを行うためのテストが長時間化して

しまい、製造効率が低下してしまうという問題がある。

(3)

【0007】また、トリミングを行う場合には、トリミングパッドやヒューズなどが半導体チップ上に多数形成されるので、半導体チップの省面積化が困難となる恐れがある。

【0008】本発明の目的は、高精度にカットオフ周波数を自動的に調整することにより、プローブ検査におけるトリミングを不要とし、製造効率を大幅に向上することのできるアナログフィルタのカットオフ周波数調整方法および半導体集積回路装置を提供することにある。

【0009】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかにである。

【0010】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

【0011】すなわち、本発明のアナログフィルタのカットオフ周波数調整方法は、調整用の正弦波デジタル信号をアナログ信号に変換する工程と、該アナログフィルタの静電容量値を最大に可変し、アナログフィルタのカットオフ周波数を最低に設定する工程と、静電容量値が最大にされたアナログフィルタに変換されたアナログ信号を入力し、アナログフィルタから出力されたアナログ信号をデジタル信号に変換する工程と、変換されたデジタル信号の実効値を算出する工程と、その実効値から変換テーブルに基づいてアナログフィルタの減衰量を検出し、静電容量値を可変させ、アナログフィルタのカットオフ周波数を調整する工程とを有するものである。

【0012】また、本発明のアナログフィルタのカットオフ周波数調整方法は、調整用の正弦波デジタル信号をアナログ信号に変換する工程と、該アナログフィルタの静電容量値を最大に可変し、アナログフィルタのカットオフ周波数を最低に設定する工程と、静電容量値が最大にされたアナログフィルタに変換されたアナログ信号を入力し、アナログフィルタから出力されたアナログ信号をデジタル信号に変換する工程と、変換されたデジタル信号の実効値を算出する工程と、その実効値と予め設定された基準実効値との比較を行い、算出された実効値が基準実効値より大きくなるまで段階的に静電容量値を可変させ、アナログフィルタのカットオフ周波数を調整する工程とを有するものである。

【0013】さらに、本発明の半導体集積回路装置は、抵抗、静電容量素子ならびに能動素子からなるアナログフィルタのカットオフ周波数を自動的に調整するカットオフ周波数調整手段を備えたものである。

【0014】また、本発明の半導体集積回路装置は、前記カットオフ周波数調整手段が、カットオフ周波数調整用の正弦波デジタル信号が格納された正弦波格納部と、当該正弦波格納部から出力された正弦波デジタル信号をアナログ信号に変換し、アナログフィルタに出力する第

1の信号変換部と、アナログフィルタから出力されたアナログ信号をデジタル信号に変換する第2の信号変換部と、当該第2の信号変換部に変換されたデジタル信号の実効値を算出する実効値演算部と、当該実効値演算部によって算出された実効値からアナログフィルタの減衰量を検出し、それに見合った制御信号を生成する判定制御部と、当該判定制御部から出力された制御信号に基づいて、アナログフィルタの静電容量値を可変し、カットオフ周波数を可変させる静電容量可変部とよりなるものである。

【0015】さらに、本発明の半導体集積回路装置は、前記静電容量可変部が、アナログフィルタのカットオフ周波数を可変する複数の静電容量素子と、複数の静電容量素子のそれぞれに設けられ、判定制御部の制御信号によって動作制御が行われる導通制御スイッチとよりなるものである。

【0016】以上のことにより、自動的にアナログフィルタのカットオフ周波数の調整を行うことができるので、プローブ検査におけるアナログフィルタの検査ならびにカットオフ周波数の調整を行うトリミングを不要とすることができ、半導体集積回路装置の製造効率を大幅に向上することができる。

【0017】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。

【0018】(実施の形態1) 図1は、本発明の実施の形態1による半導体集積回路装置のブロック図、図2は、本発明の実施の形態1による半導体集積回路装置に設けられたカットオフ周波数調整回路のブロック図、図3は、本発明の実施の形態1によるカットオフ周波数調整回路に設けられたアナログフィルタ部の説明図、図4は、本発明の実施の形態1によるカットオフ周波数調整回路に設けられた積和部の説明図、図5は、本発明の実施の形態1によるカットオフ周波数調整回路に用いられる変換テーブルの説明図、図6は、本発明の実施の形態1によるカットオフ周波数調整回路の制御フローチャートである。

【0019】本実施の形態1において、たとえば、携帯電話などに用いられる移動通信用ベースバンドの半導体集積回路装置には、入出力切り換え部1が設けられており、この入出力切り換え部1は、信号の入出力切り換えを行う。

【0020】また、入出力切り換え部1には、アンプ2が接続されており、このアンプ2は、該切り換え部から出力された信号の増幅を行う。アンプ2には、ダウコンバータ3が接続されており、信号の周波数を所定の周波数にコンバートする。ダウコンバータ3には、アナログフィルタ部4、4aが接続されている。アナログフィルタ部4、4aは、所定の周波数を減衰させる。

【0021】アナログフィルタ部4、4aには、A/D

変換器 5, 5a がそれぞれ接続され、この A/D 変換器 5, 5a は、アナログフィルタ部 4, 4a から出力された各々のアナログ信号をデジタル信号に変換する。

【0022】さらに、A/D 変換器 5, 5a には、復調器 6 が接続されており、この復調器 6 は、該 A/D 変換器 5, 5a から出力されたデジタル信号の復調を行う。復調器 6 には、TDMA コントローラ 7 が接続されている。TDMA コントローラ 7 は、時刻分割多重アクセスにおけるチャネルのデコードを行う。

【0023】また、TDMA コントローラ 7 には、デコーダ 8 が接続されており、このデコーダ 8 は、圧縮データのデコードを行う。デコーダ 8 には、デジタルフィルタ 9 が接続され、その後段には、D/A 変換器 10 が接続されている。そして、D/A 変換器 10 の後段にはアナログフィルタ 11 が接続されている。

【0024】D/A 変換器 10 は、デジタル信号をアナログ信号に変換する。この D/A 変換器 10 によって変換されたアナログ信号は、アナログフィルタ 11 を介して音声信号として出力される。

【0025】さらに、TDMA コントローラ 7 には、オートゲインコントロール 12 が接続されており、このオートゲインコントロール 12 は、D/A 変換器 13 が接続されている。また、D/A 変換器 13 は、ゲインコンバータ 3 およびアンプ 2 に接続されている。これらオートゲインコントロール 12、D/A 変換器 13 は、アンプのゲインコントロールを行う。

【0026】また、A/D 変換器 5, 5a には、積和器 14 が接続されており、この積和器 14 の出力部が復調器 6 に接続されている。積和器 14 は、A/D 変換器 5, 5a から出力されるデジタル信号の実効値を計算する。

【0027】さらに、半導体集積回路装置には、アナログフィルタ 15 が設けられており、このアナログフィルタ 15 は、入力された音声信号の所定の周波数を減衰させる。アナログフィルタ 15 には、A/D 変換器 16 が接続されている。A/D 変換器 16 は、アナログフィルタ 15 から出力されたアナログ信号をデジタル信号に変換する。

【0028】A/D 変換器 16 には、デジタルフィルタ 17 が接続され、該デジタルフィルタ 17 には、エンコーダ 18 が接続されている。デジタルフィルタ 17 は、変換されたデジタル信号の所定の周波数を減衰させ、エンコーダ 18 は、デジタルフィルタ 17 から出力されたデジタル信号の圧縮を行う。

【0029】エンコーダ 18 には、TDMA コントローラ 19 が接続され、この TDMA コントローラ 19 は、時刻分割多重アクセスにおけるチャネルのエンコードを行う。また、TDMA コントローラ 19 には、ROM (Read Only Memory) などのメモリが設けられた変調器 20 が接続されており、この変調器 20

は、TDMA コントローラ 19 から出力された信号の変調を行う。

【0030】変調器 20 には、D/A 変換器 21, 21a が接続されている。この D/A 変換器 21, 21a は、変調器 20 から出力されたデジタル信号をアナログ信号に変換する。

【0031】また、D/A 変換器 21, 21a には、アナログフィルタ部 22, 22a がそれぞれ接続されており、これらアナログフィルタ部 22, 22a は、アナログ信号における所定の周波数帯域を減衰させる。

【0032】さらに、アナログフィルタ部 22, 22a には、アンプコンバータ 23 が接続され、このアンプコンバータ 23 は、アナログフィルタ部 22, 22a から出力されるデジタル信号を高い周波数に変換する。アンプコンバータ 23 には、アンプ 24 が接続されている。このアンプ 24 は、入出力切り換え部 1 に出力される信号の増幅を行う。

【0033】また、アナログフィルタ部 4, 4a, 22, 22a には、カットオフ周波数調整回路 25 が接続されており、このカットオフ周波数調整回路 25 は、自動的に該アナログフィルタ部 4, 4a, 22, 22a に設けられたアナログフィルタのカットオフ周波数を高精度に調整する。

【0034】次に、アナログフィルタ部 4, 4a, 22, 22a ならびにカットオフ周波数調整回路 25 の構成について、図 2、図 3 を用いて説明する。

【0035】カットオフ周波数調整回路 25 には、図 2 に示すように、波形格納メモリ (正弦波格納部) 26 が設けられている。この波形格納メモリ 26 は、たとえば、ROM などの半導体メモリからなり、カットオフ周波数における振幅 0 dB の正弦波データが格納されている。

【0036】波形格納メモリ 26 には、D/A 変換器 (第 1 の信号変換部) 27 が接続されており、この D/A 変換器 27 は、波形格納メモリ 26 におけるデジタル信号の波形をアナログ信号の波形に変換する。

【0037】D/A 変換器 27 には、アナログフィルタ部 4 が接続されている。また、このアナログフィルタ部 4 には、前述したように、ゲインコンバータ 3 (図 1) が接続されている。

【0038】アナログフィルタ部 4 は、図 3 に示すように、抵抗 R1, R2、コンデンサ CH1, CS1 および演算増幅器 (能動素子) P からなるアクティブ RC フィルタと、n 個のコンデンサ (静電容量素子) CH2 ~ CHn, CS2 ~ CSn からなる静電容量可変部とにより構成されている。

【0039】アナログフィルタ部 4 の入力部には、抵抗 R1 の一方の接続部が接続され、他方の接続部には、抵抗 R2 の一方の接続部が接続されている。また、抵抗 R1 の他方の接続部には、コンデンサ CH1 ~ CHn が並

(5)

8

列接続されており、コンデンサCH2~CHnには、MOSTランジスタからなる制御用スイッチ（導通制御スイッチ）SWH1~SWHnが接続されている。

【0040】これら並列接続されたコンデンサCH1~CHnの他方の接続部には、演算増幅器Pの出力部と接続されている。また、この演算増幅器Pの出力が、アナログフィルタ部4の出力部となり、A/D変換器（第2の信号変換部）28ならびに前述したA/D変換器5（図1）と接続されている。

【0041】この出力部は、演算増幅器Pの他方の入力部とも接続されている。A/D変換器28は、アナログフィルタ部4から出力されたアナログ信号をデジタル信号に変換する。

【0042】また、抵抗R2の他方の接続部は、演算増幅器Pの一方の入力部と接続されている。さらに、この演算増幅器Pの一方の入力部と基準電位であるグラウンド電位VSSとの間には、コンデンサCS1~CSnが接続されている。

【0043】これらコンデンサCS2~CSnの他方の接続部とグラウンド電位VSSとの間には、MOSTランジスタからなる制御用スイッチ（導通制御スイッチ）SWS1~SWSnが接続されている。また、制御用スイッチSWH1~SWHn、SWS1~SWSnは、スイッチ制御信号によってON、OFFの制御が行われる。

【0044】これら制御用スイッチSWH1~SWHn、SWS1~SWSnがONした場合には、そのコンデンサの容量がフィルタとして機能することになり、カットオフ周波数が低くなる。一方、制御用スイッチSWH1~SWHn、SWS1~SWSnがOFFの場合には、カットオフ周波数が高くなる。

【0045】ここでは、アナログフィルタ部4の構成について説明したが、アナログフィルタ部4a、22、22aにおいても同様の回路構成となる。また、これらアナログフィルタ部4a、22、22aには、カットオフ周波数調整回路25のD/A変換部27およびA/D変換器28は接続されており、制御用スイッチSWH1~SWHn、SWS1~SWSnを制御するスイッチ制御信号のみがアナログフィルタ部4a、22、22aに入力されるように接続されている。

【0046】そして、これらアナログフィルタ部4a、22、22aのコンデンサCH2~CHn、CS2~CSnおよび制御用スイッチSWH1~SWHnが、SWS1~SWSnとカットオフ周波数調整回路25とによってカットオフ周波数調整手段が構成されている。

【0047】さらに、A/D変換器28には、図2に示すように、積和器（実効値演算部）29が接続されており、この積和器29は、該A/D変換器28によってデジタル信号に変換された波形の実効値を算出する。

【0048】この積和器29は、図4に示すように、シフトレジスタSR、加算器ADおよびレジスタJによ

て構成されており、シフトレジスタSRによって入力データをシフトし、加算器AD、レジスタJによって、各ビットの状態に応じて加算することにより、2乗加算を行う。

【0049】また、積和器29には、図2に示すように、判定制御回路30が接続されている。この判定制御回路30には、積和器29によって演算された実効値からアナログフィルタ部4のカットオフ周波数が最適となる制御用スイッチSWH1~SWHn、SWS1~SWSnの設定を判定し、スイッチ制御信号を該アナログフィルタ部4a、22、22aに出力する。

【0050】この判定制御回路30には、図5に示すように、積和器29によって演算された実効値からカットオフ周波数が最適となる制御用スイッチSWH1~SWHn、SWS1~SWSnの数が設定されている。変換テーブルHTが格納されている。

【0051】この変換テーブルHTのデータは、予め設計によって求めておく。つまり、ある抵抗、静電容量のばらつきに対してアナログフィルタの減衰量を算出し、それに応じた制御用スイッチSWH1~SWHn、SWS1~SWSnの数を設定する。また、変換テーブルHTの左側は演算された実効値であり、右側は、その演算された実効値の場合にONされるスイッチの数を示している。

【0052】次に、本実施の形態1の作用について、図1~図3および図6のフローチャートを用いて説明する。

【0053】まず、携帯電話などの電子機器の電源がONされると、電子機器のキャリブレーションなどを行うトレーニングモードが開始される（ステップS101）。この時、判定制御回路30は、カットオフ周波数が最低となる制御、すなわち、すべての制御用スイッチSWH1~SWHn、SWS1~SWSnがONするよう

にスイッチ制御信号を出力する（ステップS102）。【0054】その後、波形格納メモリ26からデジタルの正弦波形成データを出力する。その正弦波形成データは、D/A変換器27によってアナログ波形に変換され、アナログフィルタ部4を介してA/D変換器28によって再びデジタル波形に変換される。

【0055】A/D変換器28によって変換されたデジタル波形は、積和器29によってその波形の実効値が算出され、判定制御回路30に入力される（ステップS103）。ステップS103の処理において、実効値が算出されると判定制御部32は、波形格納メモリ26から出力されている正弦波形成データの出力を停止させる（ステップS104）。

【0056】判定制御回路30は、積和器29から入力された実効値と変換テーブルHTとに基づいてカットオフ周波数が最適となる設置が行われるようにスイッチ制

御信号をアナログフィルタ部 4、4a、22、22a に出力し、設定が行われて (ステップ S105)、トレーニングモードが終了となる (ステップ S106)。

【0057】それにより、本実施の形態 1 においては、カットオフ周波数調整回路 25 が、アナログフィルタ部 4、4a、22、22a におけるアナログフィルタのカットオフ周波数を自動的に最適に調整するので、プローブ検査におけるトリミング工程を不要にでき、半導体集積回路装置の製造効率を大幅に向上することができる。

【0058】また、本実施の形態 1 では、アナログフィルタ部 4 の実効値のずれだけを検出して、すべてのアナログフィルタ部 4、4a、22、22a のカットオフ周波数の調整を行っていたが、それぞれのアナログフィルタ部 4、4a、22、22a にカットオフ周波数調整回路 25 を設け、個別にアナログフィルタ部 4、4a、22、22a のカットオフ周波数の調整を行うようにしてもよい。

【0059】(実施の形態 2) 図 7 は、本発明の実施の形態 2 によるアナログフィルタカットオフ周波数可変制御手段の制御フローチャートである。

【0060】本実施の形態 2 において、移動通信用ベースバンドの半導体集積回路装置は、前記実施の形態 1 における図 1 と同様の構成となっている。

【0061】また、カットオフ周波数調整回路 25 についても、前記実施の形態 1 の図 2 と同様に、波形格納メモリ 26、D/A 変換器 27、A/D 変換器 28、積和器 29、ならびに判定制御回路 30 によって構成されているが、判定制御回路 30 には、変換テーブル HT (図 5) が格納されておらず、判定制御回路 30 には、カットオフ周波数における減衰量、つまり、-3 dB における実効値が予めプリセットされている。

【0062】次に、図 1-図 3 および図 7 のフローチャートを用いてアナログフィルタ部 4、24 を説明する。

【0063】携帯電話などの電子機器の電源が ON されると、電子機器のキャリブレーションなどを行うトレーニングモードが開始される (ステップ S201)。同時に、判定制御回路 30 は、カットオフ周波数が最低となる制御、すなわち、すべての制御用スイッチ SWH1~SWHn、SWS1~SWSn が ON するようにスイッチ制御信号を出力する (ステップ S202)。

【0064】その後、波形格納メモリ 26 からデジタルの正弦波データを読み出す。その正弦波データは、D/A 変換器 27 によってアナログ波形に変換され、アナログフィルタ部 4 を介して A/D 変換器 28 によって再びデジタル波形に変換される。

【0065】A/D 変換器 28 によって変換されたデジタル波形は、積和器 29 によってその波形の実効値が算出され、判定制御回路 30 に入力される (ステップ S203)。ステップ S203 の処理において、実効値が算出されると判定制御部 32 は、波形格納メモリ 26 から

出力されている正弦波データの出力を停止させる (ステップ S204)。

【0066】そして、判定制御回路 30 は、積和器 29 から入力された実効値と前述したプリセットされた実効値との比較を行い (ステップ S205)、積和器 29 から出力された実効値がプリセットされている実効値 X よりも小さい場合には、積和器 29 のリセットを行う (ステップ S206)。

【0067】また、判定制御回路 30 は、制御用スイッチ SWH1、SWS1 をそれぞれ ON し (ステップ S207)、ステップ S203~S205 の処理を繰り返すことによってアナログフィルタのカットオフ周波数を徐々に高くしていき、積和器 29 から出力される実効値が実効値 X よりも大きくなった時点でトレーニングモードを終了する (ステップ S208)。

【0068】それにより、本実施の形態 2 においても、カットオフ周波数調整回路 25 が、アナログフィルタ部 4、4a、22、22a のカットオフ周波数を自動的に最適に調整するので、プローブ検査におけるトリミング工程を不要にでき、半導体集積回路装置の製造効率を大幅に向上することができる。

【0069】(実施の形態 3) 図 8 は、本発明の実施の形態 3 による半導体集積回路装置のブロック図、図 9 は、本発明の実施の形態 3 による半導体集積回路装置に設けられたカットオフ周波数調整回路のブロック図、図 10 は、本発明の実施の形態 3 によるカットオフ周波数調整回路の制御フローチャートである。

【0070】本実施の形態 3 においては、図 8 に示すように、携帯電話などに用いられる移動通信用ベースバンドの半導体集積回路装置は、入力切り換え部 1、アンプ 2、24、ダウコンバート 3、アナログフィルタ部 4、4a、22、22a、5a、16、復調部 6、TDMA コントローラ 7、19、デコーダ 8、デジタルフィルタ 9、17、D/A 変換器 10、13、21a、アナログフィルタ 11、15、オートゲインコントローラ 2、エンコーダ 18、変調器 20、アップコンバート 3、変調器 31、D/A 変換器 (第 1 の信号変換部) 32、積和器 2、A/D 変換器 (第 2 の信号変換部) 33、積和器 (実効値演算部) 34、判定制御回路 35、ならびに切り換えスイッチ SW1~SW5 によって構成されている。

【0071】また、これら変調器 31、D/A 変換器 32、A/D 変換器 33、積和器 34、判定制御回路 35、および切り換えスイッチ SW1~SW5 とよりカットオフ周波数調整回路 36 が構成されている。

【0072】さらに、変調器 31、D/A 変換器 32、A/D 変換器 33、積和器 34 は、予め半導体集積回路装置に設けられた既存の回路であり、判定制御回路 35 と切り換えスイッチ SW1~SW5 とが新たに設けられ

(7)

12

た回路となっている。

【0073】このカットオフ周波数調整回路36の構成について、図9を用いて説明する。

【0074】変調器31には、切り換えスイッチSW1が接続されており、一方の接続部が変調を行う変調部31aの出力部と接続され、他方の接続部には、前述したように変調器31に設けられた半導体メモリであるROM（正弦波格納部）31bの出力部と接続されている。

【0075】ここで、ROM31bには、カットオフ周波数における振幅0dBの正弦波データが格納されている。また、切り換えスイッチSW1の共通接点がD/A変換器32と接続されている。

【0076】D/A変換器32には、アナログフィルタ部22が接続されており、このアナログフィルタ部22の出力部には、切り換えスイッチSW2の共通接点が接続されている。

【0077】切り換えスイッチSW2の一方の接続部には、アップコンバート23（図8）が接続され、他方の接続部には、切り換えスイッチSW3の一方の接続部が接続されている。

【0078】切り換えスイッチSW3の他方の接続部は、アナログフィルタ4を介してダウンコンバート（図8）から出力される復調波が入力されるように接続されており、切り換えスイッチSW3の共通接点は、A/D変換器33と接続されている。

【0079】また、A/D変換器33の出力部は、積和器34ならびに切り換えスイッチSW4の一方の接続部と接続されている。切り換えスイッチSW4の共通接点には、復調器6が接続されている。

【0080】積和器34は、切り換えスイッチSW5の共通接点と接続されており、この切り換えスイッチSW5の一方の接続部には、判定制御回路35が接続され、他方の接続部には、復調器6と接続されている。

【0081】また、これら切り換えスイッチSW1～SW5は、判定制御回路35によって接続先の切り換え制御が行われている。

【0082】次に、本実施の形態3の作用について、図8、図9および図10のフローチャートを用いて説明する。

【0083】まず、電源がONされると、半導体集積回路装置のキャリブレーションなどを行うトレーニングモードが開始される（ステップS301）。この時、判定制御回路35は、切り換えスイッチSW1～SW5をONさせ、図9に示すループとなりように接続先を切り換える（ステップS302）。

【0084】また、判定制御回路35は、カットオフ周波数が最低となる制御、すなわち、すべての制御用スイッチSWH1～SWHn、SWS1～SWSn（図3）がONするようにスイッチ制御信号を出力する（ステップS303）。

【0085】その後、変調器31のROM31bからカットオフ周波数における振幅0dBの正弦波データを出力する。その正弦波データは、D/A変換器32によってアナログ波形に変換され、アナログフィルタ部22を介してA/D変換器33によって再びデジタル波形に変換される。

【0086】A/D変換器33によって変換されたデジタル波形は、積和器34によってその波形の実効値が算出され、判定制御回路35に入力される（ステップS304）。ステップS304の処理において、実効値が算出されると判定制御部35は、ROM31bから出力されている正弦波データの出力を停止させる（ステップS305）。

【0087】判定制御回路35は、積和器34から入力された実効値と変換テーブルHT（図5）とに基づいて、カットオフ周波数が最適となるスイッチ制御信号を、それぞれのアナログフィルタ部4、4a、22、22aに出力してカットオフ周波数の調整を行う。（ステップS306）。その後、判定制御回路35は、切り換えスイッチSW1～SW5をOFFし（ステップS307）、トレーニングモードが終了となる（ステップS308）。

【0088】それにより、本実施の形態3においても、アナログフィルタのカットオフ周波数を自動的に最適に調整するので、プローブ検査におけるトリミング工程を不要にでき、半導体集積回路装置の製造効率を大幅に向上することができる。

【0089】また、カットオフ周波数調整回路36が半導体集積回路装置に予め設けられている既存の回路によって構成されているので、半導体集積回路装置を低コストとすることができ、かつ半導体チップの省面積化を行うことができる。

【0090】さらに、本実施の形態3によれば、判定制御回路35には、変換テーブルHT（図5）が格納された構成であったが、判定制御回路35にカットオフ周波数における減衰量である-3dBにおける変換テーブルHTを用いずにカット周波数の調整を行うことができる。

【0091】この場合のカットオフ周波数調整回路36における制御を、図9および図11のフローチャートにより説明する。

【0092】携帯電話などの電子機器の電源がONされると、トレーニングモードが開始され（ステップS401）切り換えスイッチSW1～SW5がONされる（ステップS402）。判定制御回路35は、すべての制御用スイッチSWH1～SWHn、SWS1～SWSnがONするようにスイッチ制御信号を出力する（ステップS403）。

【0093】その後、ROM31bからデジタルの正弦波データが、D/A変換器32によってアナログ波形

(8)

13

に変換され、アナログフィルタ部22を介してA/D変換器33によって再びデジタル波形に変換される。

【0094】そのデジタル波形は、積和器234によって実効値が算出され、判定制御回路35に入力される(ステップS404)。実効値が算出されると判定制御部35は、ROM311から出力されている正弦波データの入出力を停止させる(ステップS405)。

【0095】そして、判定制御回路35は、積和器34から入力された実効値と前述したプリセットされた実効値との比較を行い(ステップS406)、積和器34から出力された実効値がプリセットされている実効値Xよりも小さい場合には、積和器29のリセットを行う(ステップS407)。

【0096】また、判定制御回路35は、制御用スイッチSWH1、SWS1をそれぞれON/L(ステップS408)、ステップS404～S406の処理を行う。そして、これらステップS404～S408の処理を繰り返すことによってアナログフィルタのカットオフ周波数を徐々に高くしていき、積和器34から出力される実効値が実効値Xよりも大きくなった時点で、切り換えスイッチSW1～SW5をOFF/L(ステップS409)、トレーニングモードを終了する(ステップS410)。

【0097】これによっても、アナログフィルタ部4、4a、22、22aのカットオフ周波数を自動的に最適に調整するので、プローブ検査におけるトリミング工程が不要となり、半導体集積回路装置の製造効率を大幅に向上することができる。

【0098】また、半導体集積回路装置を低コストとすることができ、かつ半導体チップの省面積化を行うことができる。

【0099】以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいまでもない。

【0100】たとえば、前記実施の形態1～3においては、正弦波データをROMに格納していたが、デジタルの正弦波データをゲートアレイによって生成するようにしてもよい。

【0101】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0102】(1)本発明によれば、アナログフィルタのカットオフ周波数を自動的に最適に調整するので、プローブ検査におけるトリミングを不要とすることができる。

【0103】(2)また、本発明では、カットオフ周波数調整手段を半導体集積回路装置に予め設けられている既存の回路によって構成することにより、半導体集積回

14

路装置を低コストとすることができ、かつ半導体チップの省面積化を行うことができる。

【0104】(3)さらに、本発明においては、上記(1)、(2)により、半導体集積回路装置の製造効率ならびに信頼性を大幅に向上することができる。

【図面の簡単な説明】

【図1】本発明の実施の形態1による半導体集積回路装置のブロック図である。

【図2】本発明の実施の形態1による半導体集積回路装置に設けられたカットオフ周波数調整回路のブロック図である。

【図3】本発明の実施の形態1によるカットオフ周波数調整回路に設けられたアナログフィルタ部の説明図である。

【図4】本発明の実施の形態1によるカットオフ周波数調整回路に設けられた積和器の説明図である。

【図5】本発明の実施の形態1によるカットオフ周波数調整回路に用いられる変換テーブルの説明図である。

【図6】本発明の実施の形態1によるカットオフ周波数調整回路の制御フローチャートである。

【図7】本発明の実施の形態2によるアナログフィルタのカットオフ周波数可変制御手段の制御フローチャートである。

【図8】本発明の実施の形態3による半導体集積回路装置のブロック図である。

【図9】本発明の実施の形態3による半導体集積回路装置に設けられたカットオフ周波数調整回路のブロック図である。

【図10】本発明の実施の形態3によるカットオフ周波数調整回路の制御フローチャートである。

【図11】本発明の他の実施の形態によるカットオフ周波数調整回路の制御フローチャートである。

【符号の説明】

1 入出力切り換え部

2 アンプ

3 ダウンコンバータ

4、4a アナログフィルタ部

5、5a A/D変換器

6 復調器

40 7 TDMAコントローラ

8 デコーダ

9 デジタルフィルタ

10 D/A変換器

11 アナログフィルタ

12 オートゲインコントローラ

13 D/A変換器

14 積和器

15 アナログフィルタ

16 A/D変換器

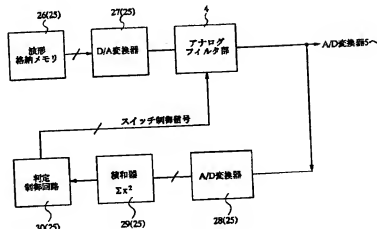
50 17 デジタルフィルタ

- 15
- 18 エンコーダ
 - 19 TDMAコントローラ
 - 20 変調器
 - 21, 21a D/A変換器
 - 22, 22a アナログフィルタ部
 - 23 アップコンバータ
 - 24 アンプ
 - 25 カットオフ周波数調整回路
 - 26 波形格納メモリ (正弦波格納部)
 - 27 D/A変換器 (第1の信号変換部)
 - 28 A/D変換器
 - 29 積和器 (実効値演算部)
 - 30 判定制御回路
 - 31 変調器
 - 31a 変調部
 - 31b ROM (正弦波格納部)
 - 32 D/A変換器 (第1の信号変換部)
 - 33 A/D変換器 (第2の信号変換部)

- 16
- 34 積和器 (実効値演算部)
 - 35 判定制御回路
 - 36 カットオフ周波数調整回路
 - R1, R2 抵抗
 - CH1, CS1 コンデンサ
 - CH2~CHn, CS2~CSn コンデンサ (静電容量素子)
 - P 演算増幅器 (能動素子)
 - SWH1~SWHn 制御用スイッチ (導通制御スイッチ)
 - 10 チ
 - SWS1~SWSn 制御用スイッチ (導通制御スイッチ)
 - チ
 - SR シフトレジスタ
 - AD 加算器
 - J レジスタ
 - HT 変換テーブルHT
 - SW1~SW5 切り換えスイッチ

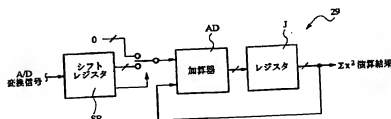
【図2】

図 2



【図4】

図 4

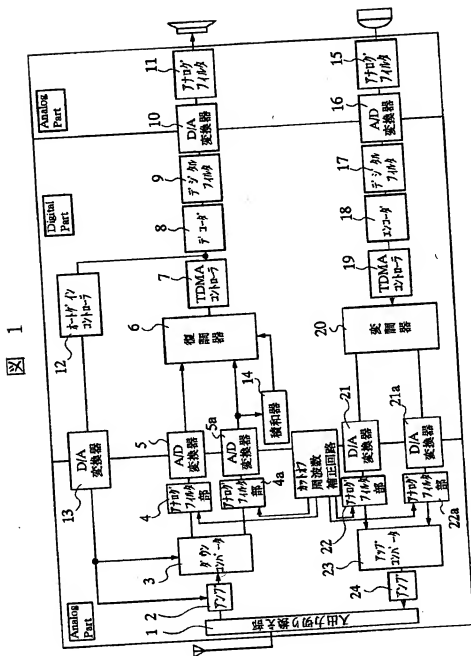


【図5】

図 5

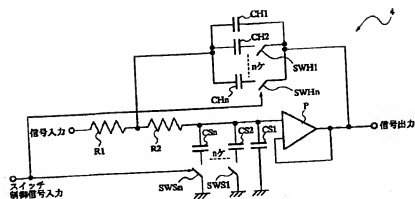
Σx^2	スイッチ制御番号N
100~199	0
200~299	1
300~399	3
400~499	1
5	1
n~b	n

【図1】



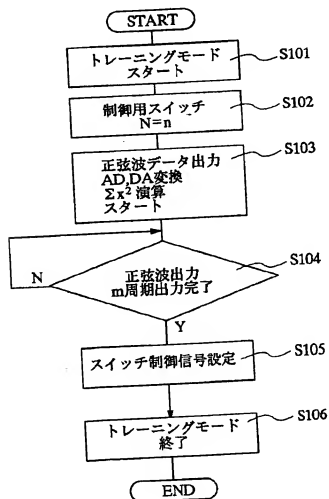
【図 3】

図 3



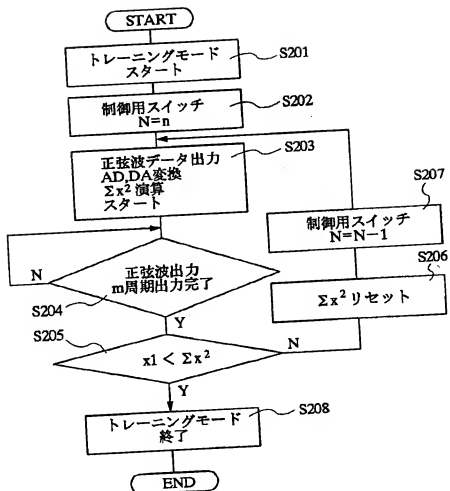
【図 6】

図 6



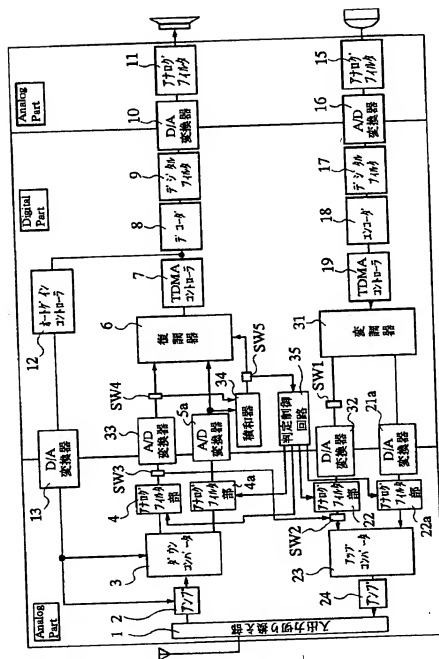
【図 7】

図 7

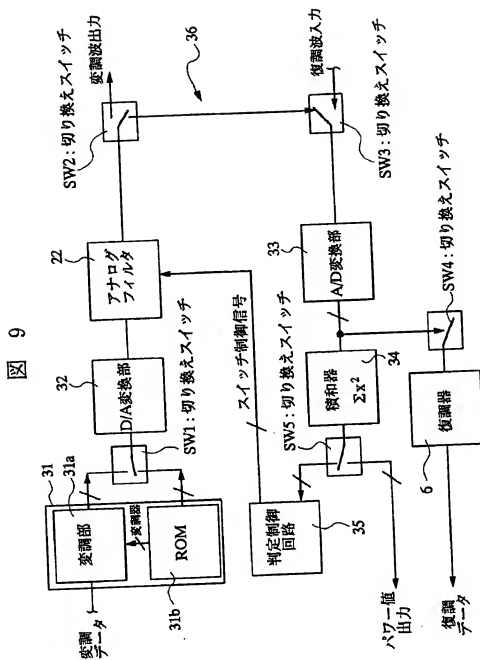


【図 8】

図 8

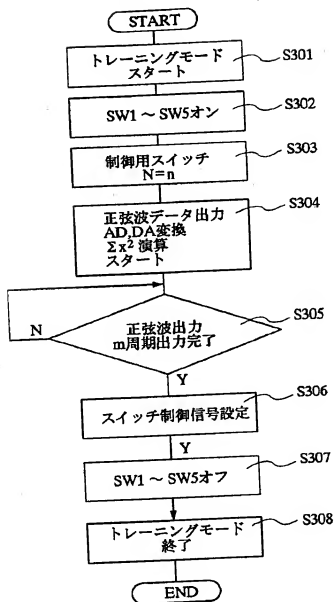


【図9】



【図10】

図 10



【図 11】

図 11

